

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-302797

(43)Date of publication of application : 14.11.1995

(51)Int.Cl.

H01L 21/321

H01L 21/60

(21)Application number : 07-119056

(71)Applicant : MOTOROLA INC

(22)Date of filing : 21.04.1995

(72)Inventor : GREER STUART E

(30)Priority

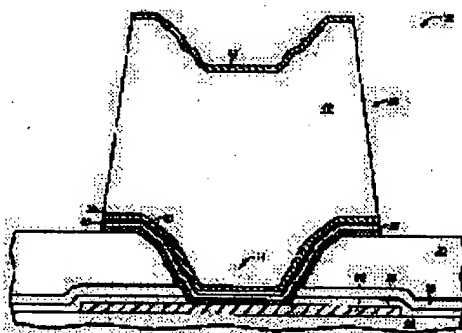
Priority number : 94 236320 Priority date : 02.05.1994 Priority country : US

(54) SEMICONDUCTOR ELEMENT AND MANUFACTURE AND USE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor element wherein chip bonding treatment is simplified, by forming a solder bump capable of forming an extended eutectic region, and its manufacturing method and using method.

CONSTITUTION: A semiconductor element 32 has a stuck solder bump 34 capable of forming an extended eutectic region to be used in a simplified DCA. The deposited solder bump 34 has a first tin layer 40 arranged on an UBM of a bonding pad 14 on the element. The first tin layer is reacted with a metal layer 36 in the UBM, and forms intermediate metal for bonding the solder bump to a bonding pad. A thick lead layer 42 is arranged on the first tin layer and made a major constituting member of the solder bump. A second tin layer 44 is arranged on the lead layer, and local eutectic is formed on the upper surface of the bump during reflow. The element having at least the above solder bump structure can be directly bonded to either a ceramic substrate or PC board.



LEGAL STATUS

[Date of request for examination] 30.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3300839

[Date of registration] 26.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] A junction pad (22) The 1st metal layer which is the semiconductor device (32) which it has and was allotted on the aforementioned junction pad (22) (16'); It is 2nd metal layer (36); and the solder bump (34) who were allotted on the aforementioned 1st metal layer (16'), and is the 1st tin layer (40) allotted on the aforementioned 2nd metal layer (36). The 1st tin layer of the above which has the aforementioned 2nd metal layer and compatibility so that a middle metal may be formed of the 1st tin layer (40) of the above, and the aforementioned 2nd metal layer (36); It is allotted on the 1st tin layer (40) of the above. So that it may be the 2nd tin layer (44) allotted on **** (42); and the aforementioned **** (42) sharply thicker than the 1st tin layer (40) of the above and a local eutectic may be formed in the aforementioned bump's upper surface between solder reflow It is the semiconductor device which consists of aforementioned 2nd tin layer (44) aforementioned bump [which consists of / solder] (34); thinner than the aforementioned **** (42), and is characterized by the aforementioned 1st metal layer pasting up the aforementioned solder bump on the aforementioned semiconductor device.

[Claim 2] On the junction pad of a semiconductor device (32), are the method of creating a solder bump (34), and the 1st metal layer (16') is prepared on the aforementioned junction pad. The step which performs adhesion to the aforementioned solder bump's aforementioned semiconductor device; In the step; vacuum environment where the 2nd metal layer (36) is prepared on the aforementioned 1st metal layer (16'), the 1st tin layer (40) is formed on the aforementioned 2nd metal layer (36). The step whose dissolution the 1st tin layer (40) of the above and the aforementioned 2nd metal layer (36) enable mutually so that the middle metal of the aforementioned 2nd metal layer and the 1st tin layer of the above may be formed; The ** which does not worsen vacuum environment, The ** which does not worsen step; and vacuum environment which form **** (42) on the 1st tin layer (40) of the above, and form this **** (42) thickly sharply from the 1st tin layer (40) of the above, The method which forms the 2nd tin layer (44) on the aforementioned **** (42), makes this 2nd tin layer (44) thinner than the aforementioned **** (42), and is characterized by consisting of step; which forms a local eutectic in the aforementioned bump's crowning between

solder reflow.

[Claim 3] Are the method of forming a solder bump (34) on the junction pad (22) of a semiconductor device (32), and the 1st metal layer (16') is prepared on the aforementioned junction pad. The step which performs adhesion to the aforementioned solder bump's aforementioned semiconductor device; In the step; vacuum environment where the 2nd metal layer (36) is prepared on the aforementioned 1st metal layer (16'), the 1st tin layer (40) is formed on the aforementioned 2nd metal layer (36). The step whose dissolution the 1st tin layer (40) of the above and the aforementioned 2nd metal layer (36) enable mutually so that the middle metal of the aforementioned 2nd metal layer and the 1st tin layer of the above may be formed; The ** which does not worsen vacuum environment, The step which forms **** (42) on the 1st tin layer (40) of the above, and forms this **** (42) thickly sharply from the 1st tin layer (40) of the above; The ** which does not worsen vacuum environment, The 2nd tin layer (44) is formed on the aforementioned **** (42), and this 2nd tin layer (44) is made thinner than the aforementioned **** (42). between solder reflow The method characterized by consisting ***** of step; which makes the 2nd **** (54) adhere on the 2nd tin layer (44) of the above at a rate of about 4 to 6 to the 2nd tin layer of the above, without worsening step; and vacuum environment which form a local eutectic in the aforementioned bump's crowning.

[Claim 4] The 1st metal layer which is the method of performing direct chip adhesion, is allotted on junction pad (22), and pastes up future metal layers on the aforementioned semiconductor device (16') The 2nd metal layer (36) allotted on the aforementioned 1st metal layer (16'), and a solder bump (34) It is the method equipped with the above. the aforementioned solder bump So that it may be the 1st tin layer (40) allotted on the aforementioned 2nd metal layer (36) and a middle metal may be formed of the 1st tin layer (40) of the above, and the aforementioned 2nd metal layer (36) The aforementioned 2nd metal layer and the 1st tin layer of the above which can be fused mutually, It is allotted on the 1st tin layer (40) of the above. **** sharply thicker than the 1st tin layer (40) of the above (42), So that it may be the 2nd tin layer (44) allotted on the aforementioned **** (42) and a local eutectic may be formed in the aforementioned bump's (34)'s upper surface between solder reflow The step which prepares the aforementioned semiconductor device which consists of the solder bump (34) who consists of the 2nd tin layer (44) thinner than the

aforementioned **** (42) of the above; so that the aforementioned solder bump (34) may counter on the electric conduction trace (48) on a mounting substrate (46) The step which positions the aforementioned semiconductor device; The aforementioned solder bump (34) and the aforementioned electric conduction trace (48) are adjusted. The step which positions the aforementioned solder bump in the center of the aforementioned electric conduction trace substantially; Step; and the aforementioned solder bump who contact the aforementioned solder bump to electric conduction trace physically are heated to the temperature of the range of about 183 degrees C or 250 degrees C. It consists of step; which forms in the aforementioned solder bump front face the eutectic solution layer line solder (50) which consists of a part of 2nd tin layer of the above, and aforementioned ****, the aforementioned eutectic solution layer line solder wets the aforementioned electric conduction trace, and it is characterized by joining the aforementioned semiconductor device to the aforementioned mounting substrate.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] If this invention is generally further specified about the creation method of the solder bump for flip-chip bondings on a semiconductor device, and this solder bump, and the inspection method of a semiconductor device, it inspects the solder bump who has an extended eutectic field, its creation method, and the semiconductor device which has this solder bump, and relates to the method of offering a good die.

[0002]

[Description of the Prior Art] In order to connect with interconnection wiring of a semiconductor chip and the following level physically and electrically, the present direct chip adhesion (direct chip attach) (DCA) or elevated-temperature flip chip bonding (flip-chip bonding) is used. The interconnection of the following level is like for example, a ceramic chip carrier or an organic (organic) printed circuit (PC) substrate. In one of the DCA methods, process in which a solder bump is allotted is needed on a junction pad (wettability bonding pad) with the wettability on a semiconductor die. These solder bumps are soldered to the trace (trace) on mutual ***** of the following level, and connect with the interconnection section of the internal functional division of a die, and the following level.

[0003] A junction pad prepares the both sides of physical junction on a die front face, and electric connection in the actual circuit of a semiconductor die. In addition, a junction pad also pastes up the solder bump allotted henceforth. In order to prepare a junction pad with wettability, a series of local pad limit meta-RURUJI (localized pad limiting metallurgy) (PLM) or undershirt bump meta-RURUJI (under bump metallurgy) (UBM) is usually alternatively allotted by the vacuum evaporation to the semiconductor wafer top through the mask. Or it can also leave the junction pad which has wettability in the selected field by arranging the blanket film of these matter on a direct wafer, and etching alternatively. Although meta-RURUJI consists of layered products of chromium-copper-gold typically, as an alternative of chromium, titanium or titanium / tungsten is also used and nickel is also further used as a copper alternative. The gold layer of the layered product topmost part prevents oxidization of the copper in these [PLM]. The thickness of these whole layer is about 5,000 or 20,000Å typically.

[0004] After adhering PLM, a solder bump is formed at two processes using the mask the same as that of being used in order to form a wettability junction pad, or same. Typically, this matter for bumps consists of lead and tin, and it adheres to it as a two-layer layered product. Lead and tin are made to adhere in order of a degree at the first process. About 100 - 125-micron **** is made to adhere first, and an about 2.5 - 18-micron separate tin layer is made to adhere following this. A solder bump's configuration where it adhered becomes the thing similar to a cone pillar (truncated column) which has the pedestal of thick lead, and the cap of thin tin.

[0005] At the 2nd process of solder bump formation, composition mixture (compositional blending) of **** and a tin layer is completed by performing a bump's elevated-temperature reflow to which it adhered as mentioned above in the temperature exceeding 355 degrees C. The bump near the sphere generated by this method contains about two to ten % of tin. The ratio of this tin is influenced by the ratio of the layer thickness to which it adhered first. During reflow processing, the tin layer of an adhered solder (as-deposited) bump crowning is diffused through ****, and forms copper / tin middle metal (intermetallic) in the interface of a solder bump and UBM. Although this middle metal is Cu₆Sn₅ and/or Cu₃Sn typically, although it is strong, since it is easy to break, you have to paste up a solder bump on chromium-copper-golden pad meta-RURUJI

(metallurgy). Drawing 1 shows some semiconductor dies 10 which was formed of well-known processing and which have the solder bump 12 with a cross section in this technology. It adheres to the solder bump 12 on UBM of the junction pad 14. UBM consists of a chromium layer 16, a chromium-copper layer 18, and copper / tin middle metal layer 20. Copper / tin middle metal layer 20 is formed as a result of reflow processing. Since it is quickly spread through these metals between reflow, the gold to which the chromium-copper-golden layered product adhered in front of a reflow is dissipated effectively. A solder bump is electrically connected to the metal trace 22 of the ground allotted on the semiconductor substrate 24 so that drawing 1 may show. The passivation layers 26, 28, and 30 protect a die circuit. UBM also covers the marginal part of a passivation layer.

[0006] In case the semiconductor die which has a solder bump is attached in a ceramic substrate or chip support, the die which acted as the bump is adjusted by the solder pad (mating solderpads) which corresponds on a semiconductor. Next, all solder bumps are again fused by the 2nd reflow processing, and a die is joined to a substrate. Reflow temperature exceeds 355 degrees C typically. Usually, while reducing a surface oxide, in order to help junction processing, organic-acid flux (organic acid fluxes) is allotted to the circumference of a bump.

[0007] When it is desirable to join the semiconductor die which has a solder bump to the copper trace on a direct organic PC substrate, in order to paste up a die on an organic substrate, without doing an injury by exposing PC substrate to too much heat, you have to use low-temperature junction processing. One of the solution proposals which paste up the semiconductor die which prepared the solder bump with much leaden content on an organic PCB substrate is arranging eutectic lead-tin solder alternatively to the pad of the big size specially manufactured at the trace edge on a substrate, and preparing a big eutectic front face for DCA. Since what is necessary is just to fuse the eutectic metal on the pad on a substrate, and to wet the elevated-temperature solder bump on a die by it, if this method is chosen, it becomes possible to join a die to PC substrate using low temperature more. An elevated-temperature bump does not need to fuse during this processing. Fusing, the eutectic solder which carried out a reflow wets a solder bump, and joins them to PC substrate.

[0008]

[Problem(s) to be Solved by the Invention] The

DCA method put in practical use now has some serious faults. Since cost starts and precision is moreover required, the processing which adheres an eutectic-solder pad alternatively on copper trace is difficult to control. When PC substrate becomes complicated, the difficulty and cost of this selection adhesion processing will go up further. Furthermore, these eutectic-solders pads are latus more nearly inevitably than actual trace, extend, the pitch, i.e., the interval, during trace, and must enable it to hold a pad. Since the pitch of trace must be maintained at intervals of the minimum, size reduction of a die or a density fall of a bump cannot be realized, and this is contrary to the inclination of the industry of minute-izing and the densification of a substrate.

[0009]

[Means for Solving the Problem] In the one example of this invention, a semiconductor device prepares the solder bump who has the junction pad equipped with the multiplex metal layer, and has the latency (potential) which forms the extended eutectic field for using for direct chip adhesion (DCA). The 1st metal layer is formed on a junction pad, and it considers as the glue line of the metal layer to which it adheres henceforth. The 2nd metal layer is allotted on the aforementioned 1st metal layer. the [these / 1st / and] -- 2 metal layers constitute undershirt bump meta-RURUJI (UBM) The solder bump who consists of the 1st tin layer, ****, and the 2nd tin layer is formed on UBM. the 1st tin layer is allotted on the aforementioned 2nd metal layer, and the middle metal of the aforementioned 2nd metal layer and the 1st tin layer of the above is formed -- as -- the [the 1st tin layer of the above, and] -- 2 metal layers shall have compatibility The aforementioned **** is allotted on the 1st tin layer of the above. The aforementioned **** is more sharply [than the 1st tin layer of the above] thick, and when mounted in DCA, the aforementioned **** gives height to an element. The 2nd tin layer of the above is allotted on the aforementioned ****, the 2nd tin layer of the above is made thinner than the aforementioned ****, and a local eutectic is formed in a bump's crowning between solder reflow.

[0010] Moreover, this invention also offers the method of forming a solder bump on the junction pad of a semiconductor device. The aforementioned solder bump has the latency which forms the extended eutectic field for direct chip adhesion (DCA). The 1st metal layer is prepared on the aforementioned junction pad, and a solder bump is pasted up on a semiconductor device. Next, the 2nd metal layer is prepared on

the aforementioned 1st metal layer, the [the above 1st and] -- 2 metal layers constitute UBM and form a solder bump on it. In vacuum environment, the 1st tin layer is formed so that it may be located on the aforementioned 2nd metal layer. The 1st tin layer of the above and the aforementioned 2nd metal layer of each other can be fused so that the middle metal of the aforementioned 2nd metal layer and the 1st tin layer of the above can be formed. **** is formed on the 1st tin layer of the above, without worsening a vacuum. Rather than the 1st tin layer of the above, **** is thickened sharply and let them be the aforementioned solder bump's main structures. Next, the 2nd tin layer is formed on the aforementioned ****, without destroying vacuum environment. The 2nd tin layer is made thinner than the aforementioned ****, and local eutectic formation is obtained by the aforementioned bump's crowning between solder reflow.

[0011] Other examples of this invention offer the method of performing direct chip adhesion. The semiconductor device which has the solder bump who has the latency which forms the extended eutectic field by one example of this invention is prepared. The solder bump who is allotted on the electric conduction trace on a real wearing substrate, and faces it is positioned by the aforementioned semiconductor device. The aforementioned solder bump and electric conduction trace are adjusted so that the aforementioned solder bump may be located in the center substantially [the aforementioned electric conduction trace]. The aforementioned solder bump is physically contacted to the aforementioned electric conduction trace. Next, a solder bump is heated to the temperature of the range of about 183 to 250 degrees C. Under the present circumstances, the eutectic liquid phase solder (eutectic liquidus solder) which consists of a part of 2nd tin layer of the above and aforementioned **** is formed in a solder bump front face. The aforementioned eutectic liquid phase solder wets the aforementioned electric conduction trace, and joins the aforementioned semiconductor device to a real wearing substrate.

[0012] The feature and advantage of these and others will be clearly understood by the accompanying drawing from the detailed explanation below related *****. ***** does not necessarily break drawing as full size, but it is important that what is not concretely illustrated in the example of this invention here points out a certain thing.

[0013]

[Example] Hereafter, the various examples of this

invention are discussed, referring to an accompanying drawing, the inside of a drawing -- said -- 1 -- or -- the structural element which has the same function substantially -- said -- 1 -- or it has written using the same reference number

[0014] Drawing 2 is the expanded sectional view showing a part of semiconductor device 32, and shows the solder (as-deposited) bump [finishing / adhesion] 34 who has the essential latency which forms an extended eutectic field in the 1st example of this invention. Although only one solder bump is drawing in order that this drawing may make illustration easy, it will be understood that the completed element has two or more solder bumps corresponding to the number of the junction pads on an element.

[0015] In this 1st example shown in drawing 2, a semiconductor device has chromium-copper-gold PLM (36 respectively layer 16', 38) arranged on the metal wire 22. In fact, there is a thin chromium-copper phase layer (phase layer) (not shown) between chromium layer 16' and a copper layer 36. PLM or UBM can be made to adhere using the device and adhesion technology from the well-known former with this technology. After forming a PLM layer, two or more layers which constitute the solder bump 34 from one set (evaporator) of vacuum evaporationo equipment, without worsening a degree of vacuum are adhered. In [PLM being direct], it adjoins and the 1st tin layer 40 is adhered. It is important to make this 1st tin layer 40 thick enough, and to secure the good junction between metals (intermetallic bond) in future processings. The mechanism of middle metal formation will become clear from the following explanation easily. In order to present practical use with this invention, the thickness of the 1st tin layer 40 is formed in the range about 2000 or 1200A (0.2 or 1.2 microns). the thickness which adheres the 1st tin layer 40 -- the sticking-rate monitor of a device -- or it is controllable by other suitable control sections which are some vacuum evaporationo devices

[0016] Next, **** 42 is adhered on the 1st tin layer 40. 100 or the range of the thickness of **** 42 is 150 microns. In contrast with the 1st tin layer 40, this comparatively thick **** 42 forms the bulk component (bulk component) of the solder bump for DCA. Next, the 2nd tin layer 44 is adhered on **** 42. About 2.5 or the range of the thickness of the 2nd tin layer 44 is 18 microns. The upper limit of the thickness of the 2nd tin layer 44 shown here is not practical by the existing vacuum evaporationo device. That it may change also from the above-mentioned range by some operation for which it asks for progress of a vacuum

evaporation device should also understand the thickness range of this 2nd tin layer 44. This is described in detail later. However, it is important that a tin oxide is made not to be formed between the 1st tin layer 40 and **** 42, forming tin 40-lead 42-tin 44 layered product, in using the present vacuum evaporation device without getting worse a degree of vacuum. If a tin oxide is formed in this interface (interface), there is a latency which degrades a solder bump's reliability and intensity, and when stress is received, it will become the cause that a bump is often destroyed in the interface. The vacuum pressure of abbreviation 1×10^{-6} mbar appears in operation of this invention enough, and a certain thing is accepted.

[0017] As mentioned above, the semiconductor device 32 in which the solder bump was formed in the 1st example of this invention consists of chromium 16', PLM which consists of copper 36 and gold 38, and a solder bump who consists of the separate layer of tin 40, lead 42, and tin 44. The adhered solder bump (as-deposited solder bump) 34 of this invention differs from the thing of the conventional technology in that adjoin PLM and the 1st tin layer 40 exists. The need for a 355 degrees C [which is carried out with this technology now for this 1st tin layer 40] elevated-temperature solder bump homogenization reflow can be abolished. Consequently, the semiconductor device which has this adhered solder bump structure can be directly pasted up on the interconnection section of the following level using the following low-temperature reflow processings.

[0018] Using the reflow temperature of the range of 183 degrees C or about 250 degrees C, a real wearing substrate like the chip support made from a ceramic or organic PC substrate can be pasted, and the semiconductor device adhered [solder bump] can join a direct element to the trace on a substrate typically formed with copper. In order to perform this junction processing, it has consistency in the center on trace of an element, and a solder bump is positioned so that it may counter with trace. Next, before performing a reflow, a bump is stationed so that trace may be contacted directly. Since the solder bump herself has the essential latency which forms an extended eutectic field (extended eutectic region) at reflow temperature, the good junction between metals to a solder bump's junction pad and the good soldered joint to a solder bump's copper trace are secured. During the reflow processing for chip adhesion, the 1st tin layer 40 is the temperature higher than 183 degrees C which is the melting

point of the eutectic solder which has 63% of tin, and 37% of lead, it reacts with the lead atom from adjoining **** 42, adjoins PLM, and forms the melting tin thick liquid phase (molten tin-rich liquidus). In this environment, the golden atom in a gold layer 38 is quickly diffused from PLM. Since other metals like silver or the thin layer of Palladium quickly diffused through solder have the same property as this, they can be used instead of gold. The dissolution rate of these high-speed diffusion metal is the range of 0.01micrometers /or 1.0micrometers/second a second in a temperature requirement (200 degrees C or 250 degrees C). The tin atom from the 1st tin layer 40 moves to the quick thick copper layer 36 of PLM, and forms the continuation layer of the copper-tin middle metal matter. This copper-tin middle metal serves as an activity junction element between the solder bump 34 and PLM (vital bonding element). The formed middle metals are Cu_6Sn_5 and/or Cu_3Sn typically, and the ratio of an element is about 1 to 1. Therefore, it is important that make the 1st tin layer sufficiently thick, form sufficient quantity of a middle metal with a copper layer, and good adhesion is certainly obtained between the solder bump of a semiconductor device and a junction pad. However, when [than the copper atomic number from which the 1st tin layer is too thick and the number of tin atoms is obtained] more, all copper will react with tin, a copper-tin middle metal will be formed, and a superfluous tin atom will remain in a solder bump. However, since it usually adheres to copper mostly rather than the 1st tin layer and is used in order that all the tin atoms in the 1st tin layer may form a middle metal, there is no latency to which such the very thing happens in fact. Even when tin is superfluous, this amount is insufficient for changing a solder bump's property sharply.

[0019] Unlike the method of the conventional technology, this middle metal formation method is superior to it. In case this invention is carried out, formation of a copper-tin middle metal is performed but [not between the provisional homogenization reflow processes performed with the conventional technology] between the DCA processings itself. Furthermore, by this invention, although it depends for the formation speed of a copper-tin middle metal on diffusion with the conventional technology from the bump crowning of the tin through the lead layer thickness before formation of a middle metal may take place in a copper interface, since the tin atom required for formation of a middle metal adjoins PLM, time required for formation of a copper-tin middle

metal is shortened. Thus, the middle metal forming method offered by this invention is more efficient than the thing of the conventional technology.

[0020] a copper-tin middle metal is formed among DCA of existence of the 1st tin layer 40 -- in addition, although the 2nd tin layer 44 in the adhered solder bump's 34 crowning reacts with the lead atom from adjoining **** 42 and forms an extended eutectic liquid phase pool (extended eutectic liquidus pool) in a bump's 34 crowning, the lump of the solder bump who consists mainly of lead does not fuse Since diffusion of the tin which minded thick **** 42 from the 2nd tin layer 44 when the 1st tin layer 40 was in a bump's 34 pars basilaris ossis occipitalis is delayed, tin can be used for formation of this local eutectic (localized eutectic). Therefore, the thickness of this top solder liquid phase (solder liquidus) required to join a semiconductor device to the trace on a substrate is controllable by changing the thickness of the 2nd tin layer 44. Since an adhered solder bump has the essential latency which forms an extended eutectic field in a bump's crowning when a reflow is performed, she can abolish the need of preparing an eutectic alternatively, and the need of galvanizing trace on organic PC substrate. By forming the solder liquid phase with the reflow temperature of the range of 183 degrees C or 250 degrees C, a bump can be joined now to direct trace at the temperature which does not degrade organic PC substrate thermally. Although the eutectic liquid phase is formed at 183 degrees C, at temperature higher than 183 degrees C, dispersion in slight composition may happen into the liquid phase. However, once the liquid phase is formed, dispersion in these slight percent will not have big influence on the direct chip pasting-up method proposed in this invention.

[0021] The eutectic liquid phase layer thickness obtained as a result is determined, and this will flow on trace of a mounting substrate (mounting substrate), and, as for the thickness of the 2nd ****, will wet it. It is desirable to carry out the vacuum evaporation of the sufficiently thick tin layer, to make it react with an adjoining lead atom by this method, to form a sufficiently thick eutectic layer, and to attain the purpose to mean. Although strong permanent junction is obtained as a result of a thick eutectic layer, if a eutectic layer is made thin on the other hand, the die after adhesion is easily removable. therefore, a eutectic layer can be used when it desires to join eternally the semiconductor device in which the solder bump was prepared to a mounting substrate -- it

should restrict and should be made thick Thus, the meant permanent junction is shown in drawing 3 . Like illustration, the semiconductor device 32 is joined to the mounting substrate 46 which has the electric conduction trace 48 on a front face. the mounting substrate 46 -- the chip support made from a ceramic -- or it can consider as either of organic PC substrates like FR-4 which is an epoxy glass fiber composite A dotted line expresses the eutectic-solder field formed between reflow processings. As stated previously, a eutectic liquid phase layer is formed when temperature exceeds the melting point of an eutectic solder (63% tin, 37% lead). This liquid phase solder wets trace 38, solidifies and joins an element to a substrate. Therefore, it is important to make this liquid phase field thick enough, and to obtain a reliable soldered joint between an element and a mounting substrate. While the remaining bump configuration is not influenced, but being able to perform control of height since a bump's crowning is still flat since liquid phase formation is located in a bump's [that a reflow is carried out] (as-reflowed bump) crowning, the good interface contact between the semiconductor die 24 and the mounting substrate 46 can be obtained. In case this invention is carried out, it is also possible to fill up this gap with polymer material and to raise the reliability of the last element.

[0022] However, it enables it to remove easily the element which prepared the bump from a checking substrate, without making a eutectic phase as thin as possible and injuring the solder bump herself, when other uses like a multichip module are expected inspection and/or quenching (burn-in) of an element which prepared the solder bump, in order to offer a well-known good die (known good die). Such an application is shown in drawing 4 . Here, semiconductor device 32' is electrically connected to the checking trace on the inspection substrate 51. A dashed line expresses the minimum thickness of eutectic field 50' required in order to join a semiconductor device to the checking trace 52 on an inspection substrate physically. When the wettability field on the checking trace 52 (wetable area) is restricted to about 10% of the field of a bump crowning, and 20%, a "tuck" joint (tack joint) is formed between a solder bump and checking trace. It is designed thermally [an inspection substrate (substrate or board)] specially [in order to evaluate the electrical order of the die under electric stress]. Well-known good die 32' can be physically removed from an inspection substrate after inspection and the end of quenching, without doing a serious injury for a solder bump. this

removal applies shearing or extension stress to a tuck joint -- or it can carry out by chemical etching or the other suitable methods Next, a well-known good die is again pasted up on the interconnection section of the following level. Or reflow processing may be performed to a well-known good die, and the tin and lead which still remain in the bump may be homogenized. By this, a ceramic or an elevated-temperature mounting substrate can be pasted directly.

[0023] The need of preparing a eutectic-bonding pad special on organic PC substrate for support (board substrate) for the essential latency of the adhered solder bump who forms an extended eutectic field between reflow is lost. moreover, an extended eutectic field -- a solder bump -- the trace on a mounting substrate -- the result -- good -- moreover -- reliability -- it can paste up highly In this way, since the pitch during trace can be narrowed even to the minimum, saving of large space is realizable on PC substrate. Furthermore, the cost accompanying expensive alternative eutectic plating processing and expensive it is also completely avoidable by carrying out this invention.

[0024] Drawing 5 shows a part of semiconductor device 32" in the 2nd example of this invention which has adhered solder bump 34" with an expanded sectional view. Although this 2nd example is substantially [as the 1st example shown in drawing 2] the same, 2nd **** 54 is added on the 2nd tin layer 44. 2nd **** 54 adheres lead and tin at about 4:6 rate to the 2nd tin layer 44 so that a vacuum may not be destroyed within a vacuum evaporatio machine. Therefore, 2nd **** 54 is somewhat thinner than the 2nd tin layer 44. This 2nd example establishes the diffusion path of a different tin atom from the 1st example in the point which tin instead moves toward the trace on a mounting substrate through 2nd **** 54 rather than moves to bulk **** 42. When reflow temperature is 183 degrees C or more, since the layered product which consists of four layers of this tin 40-lead 42-tin 44-lead 54 can form eutectic solution layer line solder more quickly, it can join trace to a bump's [that a reflow is carried out during DCA processing] crowning quickly on an organic substrate during DCA adhesion processing. Therefore, exposing the sensitive element on a substrate to an elevated temperature is restricted.

[0025] In other examples which are not illustrated, **** is made to intervene between the 1st tin layer 40 and PLM further, and the adhered solder bump who consists of lead-tin-lead-tin is formed. About 4 to 6 carries out ***** comparatively, and ****

added to the pars basilaris ossis occipitalis of this layered product is 183 degrees C or more in temperature, and forms the structure a bump enables it to join quickly by PLM. With this structure, the tin atom from the 1st tin layer 40 is diffused toward PLM structure through addition ****, and forms an eutectic during processing. Or the 3rd **** may be added to this example and the layered product of five layers which consists of lead-tin-lead-tin-lead may be formed. Since tin is diffused at the temperature beyond the melting point of an eutectic solder toward the electric conduction trace on a mounting substrate, and the both sides of PLM through the nearest ****, time for an interface to react and form an effective joint is optimized.

[0026] Drawing 6 is the expanded sectional view showing a part of semiconductor device 60 in still more nearly another example of this invention. This example is substantially [as the 1st example shown in drawing 2] the same. However, PLM is constituted from the titanium layer or the titanium-tungsten layer 62 by this example. Although titanium is well pasted up on a nitride or an oxide, since the adhesive property with poly IMIDDO is not good, a crevice is established in passivation layer 30' showing poly IMIDDO, and adhesion with PLM is avoided. Although copper or nickel is sufficient as the 2nd metal layer 36, in order that the 3rd metal layer 38 may prevent the 2nd metal layer from oxidization, it is the thin film high-speed diffusion metal (thin film fast metal diffusers) of others in gold or solder typically. In fact, there is thin titanium-copper or a titanium-nickel phase layer (not shown) between the titanium or titanium-tungsten layer 62 and the 2nd metal layer 36. Adhered solder bump 34" consists of tin-lead-tin layered products, as discussed previously. although not illustrated concretely -- second tin layer 44' -- it is also possible to add other tin-lead laminating joint objects which, and **** was made to intervene between 1st tin layer 40' and a gold layer 38, or were discussed previously [adding the 2nd **** upwards]

[0027] before performing a preliminary reflow process at the low temperature between the amounts of predetermined times and pasting organic PC substrate in arbitrary processes according to either of the above-mentioned adhered solder bump structures -- each -- and an extended eutectic field can also be beforehand specified on all solder bumps The temperature requirement of this preliminary reflow process is for 183 degrees C or 225 degrees C, and is enough in about 2 or time for 6 minutes. Even if it

performs this preliminary reflow to each semiconductor device, you may perform it to the whole wafer. Direct chip adhesion can be performed behind.

[0028] The old explanation and the old instantiation which are included in this specification clarify many advantages accompanying this invention. While forming the solder bump of a semiconductor device who has an essential latency for forming an extended eutectic field especially and simplifying direct chip adhesion processing, in order to use for a well-known good die, a means to inspect a semiconductor device is offered. By the essential latency of the adhered solder bump who forms an extended eutectic field between reflow, the need of preparing a eutectic-bonding pad special on organic PC substrate for support is also lost. moreover, an extended eutectic field -- a solder bump -- the trace on a mounting substrate -- the result -- good -- moreover -- reliability -- it can paste up highly Furthermore, since the pitch during the trace used by removing special and alternative eutectic plating of trace can be made still narrower, a semiconductor device does not need to receive the limit with a pad. Furthermore, down stream processing of alternative eutectic plating of expensive PC substrate with difficult and control is already less necessary. Furthermore, another advantage can also avoid a 360-degree C elevated-temperature homogenization reflow process. An adhered solder bump's crowning can acquire a good contact interface to the trace on eye a flat hatchet and a mounting substrate. Therefore, it is very suitable also for mounting the semiconductor device which has this specific adhered solder bump structure in any of ceramic chip support or organic PC substrate. Thus, an element can be pasted up on either a ceramic or PC substrate, without causing degradation by heat to organic PC substrate by performing DCA at low temperature.

[0029] It is clear that the semiconductor device which satisfies completely the demand and advantage which were explained previously by this invention from the above explanation and which has adhered solder bump structure, its manufacture, and operation were offered. Although this invention was explained and illustrated with reference to the concrete example, that this invention is limited to the these-illustrated example does not have intention. This contractor will admit that it can change and convert, without deviating from the pneuma of this invention. For example, this invention is not necessarily limited to direct chip adhesion only to

ceramic chip support or organic PC substrate. It is suitable for other mounting substrates for nakedness dies (bare die). In addition, this invention is not necessarily limited to joining a semiconductor chip to suitable support, and resistance, a capacitor, an inductor, a connector, etc. can also be used for it in order to paste up other circuit elements on either an elevated temperature or a low-temperature mounting substrate. Moreover, the alternative which forms the homogenized elevated-temperature (2% - 10% of tin) bump is also possible for this invention. however, this process is removed for many uses -- as -- ** -- it is advantageous This flexibility means that an equivalent bump can be created to all for the object for low-temperature direct chip adhesion, or elevated-temperature ceramic junction using the same tool for adhesion. Furthermore, although it said that a reflow temperature requirement (183 degrees C or 250 degrees C) is suitable in order to carry out this invention, in case DCA is performed, about the element which has an adhered solder bump (as-deposited solder bumped device) by this invention, you may perform a direct reflow at an elevated temperature more depending on the heat capacity of a mounting substrate. Therefore, it means that this invention includes these reconstruction and change applicable to a claim. [all]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The expanded sectional view of the flip chip solder bump on a semiconductor device well-known with this technology.

[Drawing 2] The expanded sectional view of the solder bump who has the essential latency which forms the extended eutectic field by the 1st example of this invention.

[Drawing 3] The cross section which was attached on the substrate and in which showing the semiconductor device which has a solder bump by this invention.

[Drawing 4] The cross section of the semiconductor device which has a solder bump by this invention temporarily mounted in the checking substrate for the purpose of inspection.

[Drawing 5] The expanded sectional view of another solder bump who has the essential latency which forms the extended eutectic field by the 2nd example of this invention.

[Drawing 6] The expanded sectional view of still more nearly another solder bump who has the essential latency which forms the extended

eutectic field by the 3rd example of this invention.

[Description of Notations]

32 Semiconductor Device

22 Junction Pad

34 Solder Bump

16' The 1st metal layer

36 2nd Metal Layer

40 1st Tin Layer

42 ****

44 2nd Tin Layer

54 2nd ****

48 Electric Conduction Trace

50 Eutectic Solution Layer Line Solder

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-302797

(43) 公開日 平成7年(1995)11月14日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
21/60	3 1 1 S	6918-4M		
		9169-4M	H 0 1 L 21/ 92	6 0 2. E
		9169-4M		6 0 3 B

審査請求 未請求 請求項の数4 F D (全 10 頁)

(21) 出願番号 特願平7-119056

(22) 出願日 平成7年(1995)4月21日

(31) 優先権主張番号 2 3 6 3 2 0

(32) 優先日 1994年5月2日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 スチュアート・イー・グリアー

アメリカ合衆国テキサス州オースティン、
トリビュタリー・リッジ・ドライブ6004

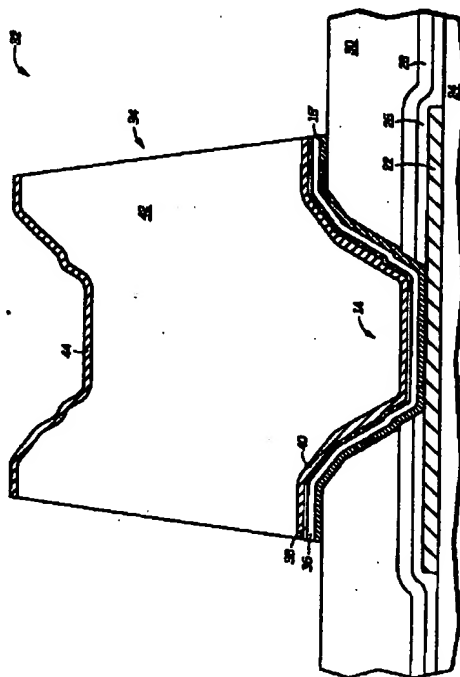
(74) 代理人 弁理士 本城 雅則 (外1名)

(54) 【発明の名称】 半導体素子ならびにその製造および使用方法

(57) 【要約】

【目的】 拡張共晶領域を形成することができるはんだバンプを形成し、直接チップ接着処理を簡素化する半導体素子、その製造方法および使用方法を提供する。

【構成】 半導体素子(32)は、簡素化されたDCAに用いるための、拡張共晶領域を形成することができる付着済みはんだバンプ(34)を有する。付着済みはんだバンプ(34)は、素子上の接合パッド(14)のUBM上に配された第1錫層(40)を有する。第1錫層はUBM内で金属層(36)と反応し、前記はんだバンプを接合パッドに接着するための中間金属を形成する。厚い鉛層(42)を第1錫層上に配し、はんだバンプの主要構成物とする。第1錫層(44)を鉛層上に配し、リフローの間に、バンプの上面に局部共晶を形成する。少なくともこのはんだバンプ構造を有する素子は、セラミック基板またはPC基板のいずれかに直接接着することができる。



【特許請求の範囲】

【請求項 1】接合パッド (22) を有する半導体素子 (32) であって：前記接合パッド (22) 上に配された第 1 金属層 (16')；前記第 1 金属層 (16') 上に配された第 2 金属層 (36)；およびはんだパンプ (34) であって：前記第 2 金属層 (36) 上に配された第 1 錫層 (40) であって、前記第 1 錫層 (40) と前記第 2 金属層 (36) とによって中間金属が形成されるように前記第 2 金属層と相溶性がある前記第 1 錫層；前記第 1 錫層 (40) 上に配され、前記第 1 錫層 (40) よりも大幅に厚い鉛層 (42)；および前記鉛層 (42) 上に配された第 2 錫層 (44) であって、はんだリフローの間に前記パンプの上面に局部共晶を形成するように、前記鉛層 (42) よりも薄い前記第 2 錫層 (44)；から成る前記はんだパンプ (34)；から成り、前記第 1 金属層は、前記はんだパンプを前記半導体素子に接着させることを特徴とする半導体素子。

【請求項 2】半導体素子 (32) の接合パッド上にはんだパンプ (34) を作成する方法であって：前記接合パッド上に第 1 金属層 (16') を設け、前記はんだパンプの前記半導体素子への接着を行うステップ；前記第 1 金属層 (16') 上に第 2 金属層 (36) を設けるステップ；真空環境において前記第 2 金属層 (36) 上に第 1 錫層 (40) を形成し、前記第 2 金属層と前記第 1 錫層との中間金属が形成されるように、前記第 1 錫層 (40) と前記第 2 金属層 (36) が互いに溶解可能とするステップ；真空環境を悪化させずに、前記第 1 錫層 (40) 上に鉛層 (42) を形成し、該鉛層 (42) を前記第 1 錫層 (40) よりも大幅に厚く形成するステップ；および真空環境を悪化させずに、前記鉛層 (42) 上に第 2 錫層 (44) を形成し、該第 2 錫層 (44) を前記鉛層 (42) より薄くして、はんだリフローの間に、前記パンプの頂部に局部共晶を形成するステップ；から成ることを特徴とする方法。

【請求項 3】半導体素子 (32) の接合パッド (22) 上にはんだパンプ (34) を形成する方法であって：前記接合パッド上に第 1 金属層 (16') を設け、前記はんだパンプの前記半導体素子への接着を行うステップ；前記第 1 金属層 (16') 上に第 2 金属層 (36) を設けるステップ；真空環境において前記第 2 金属層 (36) 上に第 1 錫層 (40) を形成し、前記第 2 金属層と前記第 1 錫層との中間金属が形成されるように、前記第 1 錫層 (40) と前記第 2 金属層 (36) が互いに溶解可能とするステップ；真空環境を悪化させずに、前記第 1 錫層 (40) 上に鉛層 (42) を形成し、該鉛層 (42) を前記第 1 錫層 (40) よりも大幅に厚く形成するステップ；真空環境を悪化させずに、前記鉛層 (42) 上に第 2 錫層 (44) を形成し、該第 2 錫層 (44) を前記鉛層 (42) より薄くして、はんだリフローの間に、前記パンプの頂部に局部共晶を形成するステップ；

および真空環境を悪化させずに、前記第 2 錫層に対して、鉛対錫をほぼ 4 対 6 の割合で前記第 2 錫層 (44) 上に第 2 鉛層 (54) を付着させるステップ；から成ることを特徴とする方法。

【請求項 4】直接チップ接着を行う方法であって：接合パッド (22) 上に配され、以後の金属層を前記半導体素子に接着する第 1 金属層 (16') と、前記第 1 金属層 (16') 上に配された第 2 金属層 (36) と、はんだパンプ (34) とを有する半導体素子 (32) を用意するステップであって、前記はんだパンプは、前記第 2 金属層 (36) 上に配された第 1 錫層 (40) であって、前記第 1 錫層 (40) と前記第 2 金属層 (36) とによって中間金属が形成されるように前記第 2 金属層と相互に溶解可能な前記第 1 錫層と、前記第 1 錫層 (40) 上に配され、前記第 1 錫層 (40) よりも大幅に厚い鉛層 (42) と、前記鉛層 (42) 上に配された第 2 錫層 (44) であって、はんだリフローの間に前記パンプ (34) の上面に局部共晶を形成するように、前記鉛層 (42) よりも薄い前記第 2 錫層 (44) から成るはんだパンプ (34) とから成る前記半導体素子を用意するステップ；前記はんだパンプ (34) が実装基板 (46) 上の導電トレース (48) 上に対向するように、前記半導体素子を位置付けるステップ；前記はんだパンプ (34) と前記導電トレース (48) とを整合し、前記はんだパンプを実質的に前記導電トレースの中央に位置付けるステップ；前記はんだパンプを導電トレースと物理的に接触させるステップ；および前記はんだパンプをほぼ 183℃ないし 250℃の範囲の温度に加熱し、前記はんだパンプ表面に、前記第 2 錫層と前記鉛層の一部から成る共晶液層線はんだ (50) を形成するステップ；から成り、前記共晶液層線はんだが前記導電トレースを濡らし、前記半導体素子を前記実装基板に接合することを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般的に半導体素子上のフリップ・チップ・ボンディング用はんだパンプ、かかるはんだパンプの作成方法、および半導体素子の検査方法に関し、更に特定すれば、拡張共晶領域を有するはんだパンプ、その作成方法、およびかかるはんだパンプを有する半導体素子を検査し、良好なダイを提供する方法に関するものである。

【0002】

【従来の技術】半導体チップと次のレベルの相互接続配線に物理的および電気的に接続するためには、現在直接チップ接着 (direct chip attach) (DCA) または高温フリッパーチップ・ボンディング (flip-chip bonding) が用いられている。次のレベルの相互接続とは、例えば、セラミック・チップ・キャリアまたは有機 (organi

c)印刷回路(PC)基板のようなものである。DCA法の1つでは、半導体ダイ上の濡れ性のある接合パッド(wettable bonding pad)上にはんだバンプを配する過程を必要とする。これらのはんだバンプは、次のレベルの相互接続部上のトレース(trace)にはんだ付けされ、ダイの内部機能部分と次のレベルの相互接続部に連結する。

【0003】接合パッドは、ダイ表面への物理的な接合と、半導体ダイの実際の回路への電気的連結との双方を設けるものである。加えて、接合パッドは、以降に配されるはんだバンプを接着するものでもある。濡れ性のある接合パッドを用意するには、通常、マスクを介した半導体ウエハ上への蒸着によって、一連の局部パッド制限メタルルジ(localized pad limiting metallurgy) (PLM) 或いはアンダー・バンプ・メタルルジ(under bump metallurgy) (UBM) を選択的に配する。或いは、これらの物質のブランケット・フィルムを直接ウエハ上に配置し、選択的にエッチングを行うことによって、選択された領域に濡れ性のある接合パッドを残すこともできる。メタルルジは、典型的に、クローム-銅-金の積層体で構成されるが、クロームの代替物として、チタンまたはチタン/タングステンも用いられており、更にニッケルも銅の代替物として用いられている。積層体最上部の金層が、これらPLM内の銅の酸化を防止する。これらの層全体の厚さは、典型的に約5,000ないし20,000オングストロームである。

【0004】PLMを付着した後、濡れ性接合パッドを形成するために用いられるのと同じまたは同様のマスクを用いて、はんだバンプを2工程で形成する。典型的に、このバンプ用物質は鉛と錫とで構成され、2層の積層体として付着される。最初の工程で鉛と錫を次の順番で付着させる。約100-125ミクロンの鉛層をまず付着させ、これに続いて約2.5-18ミクロンの別個の錫層を付着させる。付着されたはんだバンプの形状は、厚い鉛の基台と薄い錫のキャップとを有する、円錐柱(truncated column)に類似したものとなる。

【0005】はんだバンプ形成の第2工程では、355℃を越える温度において上述のように付着されたバンプの高温リフローを行うことにより、鉛層および錫層の組成混合(compositional blending)を完成させる。この方法で生成される球に近いバンプは約2-10%の錫を含む。この錫の比率は最初に付着された層の厚さの比によって左右される。リフロー処理の間、付着済み(as-deposited)はんだバンプ頂部の錫層は、鉛層を介して拡散し、はんだバンプとUBMとの界面において銅/錫中間金属(intermetallic)を形成する。この中間金属は典型的にCu₆Sn₅および/またはCu₃Snであるが、強いが壊れやすいので、はんだバンプをクローム-銅-金パッド・メタルルジ(metallurgy)に接着しなければならない。図1は、当技術では公知の処理によって形成された、はんだバンプ12を有する半導体ダイ10の一部を

断面図で示す。はんだバンプ12は接合パッド14のUBM上に付着される。UBMはクローム層16、クローム-銅層18、および銅/錫中間金属層20で構成されている。銅/錫中間金属層20は、リフロー処理の結果形成されたものである。リフローの前にクローム-銅-金積層体に付着された金は、リフローの間素早くこれら金属を通じて拡散するので、効果的に消散する。図1から分かるように、はんだバンプは、半導体基板24上に配された下地の金属トレース22に、電気的に接続される。パシベーション層26, 28, 30がダイ回路を保護する。UBMもパシベーション層の縁部を遮蔽する。

【0006】はんだバンプを有する半導体ダイをセラミック基板またはチップ担体に取り付ける際、バンプされたダイは、半導体上で対応するはんだパッド(mating solderpads)に整合される。次に、第2リフロー処理で全てのはんだバンプを再度溶融し、ダイを基板に接合させる。リフロー温度は、典型的に355℃を越える。通常、表面の酸化物を減らすと共に接合処理を助けるために、有機酸フラックス(organic acid fluxes)をバンプ周囲に配する。

【0007】はんだバンプを有する半導体ダイを直接有機PC基板上の銅トレースに接合することが望ましい場合、PC基板を過度の熱に晒すことによる損傷を与えずに、ダイを有機基板に接着するには、低温接合処理を用いなければならない。鉛の含有が多いはんだバンプを設けた半導体ダイを有機PCB基板に接着する解決案の1つは、基板上のトレース端部に特別に製造された大きなサイズのパッドに共晶鉛-錫はんだを選択的に配置し、大きな共晶表面をDCAのために設けることである。この方法を選択すれば、基板上のパッド上の共晶金属を溶融し、それによってダイ上の高温はんだバンプを濡らすだけでよいので、より低い温度を用いてダイをPC基板に接合することが可能となる。この処理の間、高温バンプが溶融する必要はない。溶融してリフローした共晶はんだは、はんだバンプを濡らし、それらをPC基板に接合する。

【0008】

【発明が解決しようとする課題】現在実用化されているDCA法にはいくつかの重大な欠点がある。銅トレース上に共晶はんだパッドを選択的に付着する処理はコストがかかり、しかも精度が要求されるので制御が困難である。PC基板が複雑になると、この選択付着処理の難易度およびコストが更に上昇することになる。更に、これら共晶はんだパッドは実際のトレースよりも必然的に広いので、トレース間のピッチ即ち間隔を広げて、パッドが収容できるようにしなければならない。トレースのピッチは最少間隔で維持しなければならないので、ダイのサイズ縮小またはバンプの密度低下は実現不可能であり、これは微小化および基板の高密度化という業界の傾向に反するものである。

【0009】

【課題を解決するための手段】本発明の一実施例では、半導体素子は、多重金属層を備えた接合パッドを有し、直接チップ接着(DCA)に用いるための拡張共晶領域を形成する潜在性(potential)を有するはんだバンプを設ける。第1金属層を接合パッド上に形成し、以後に付着される金属層の接着層とする。第2金属層を前記第1金属層上に配する。これら第1および第2金属層は、アンダー・バンプ・メタルルジ(UBM)を構成する。第1錫層、鉛層、および第2錫層から成るはんだバンプを、UBM上に形成する。第1錫層を前記第2金属層上に配し、前記第2金属層と前記第1錫層との中間金属が形成されるように、前記第1錫層および第2金属層は相溶性があるものとする。前記鉛層は前記第1錫層上に配される。前記鉛層は前記第1錫層よりも大幅に厚く、DCAに実装された時に、前記鉛層が素子に高さを与えるようになっている。前記第2錫層は前記鉛層上に配され、前記第2錫層を前記鉛層より薄くして、はんだリフローの間に、バンプの頂部に局部共晶が形成されるようになっている。

【0010】また、本発明は半導体素子の接合パッド上にはんだバンプを形成する方法も提供する。前記はんだバンプは、直接チップ接着(DCA)のための拡張共晶領域を形成する潜在性を有する。第1金属層を前記接合パッド上に設け、はんだバンプを半導体素子に接着する。次に、第2金属層を前記第1金属層上に設ける。前記第1および第2金属層はUBMを構成し、その上にはんだバンプを形成する。真空環境において、前記第2金属層上に位置するように第1錫層を形成する。前記第1錫層と前記第2金属層は、前記第2金属層と前記第1錫層との中間金属が形成できるように、互いに熔融可能である。真空を悪化させずに、前記第1錫層上に鉛層を形成する。鉛層を前記第1錫層よりも大幅に厚くして、前記はんだバンプの主要な構成物とする。次に、真空環境を破壊せずに前記鉛層上に第2錫層を形成する。第2錫層は前記鉛層よりも薄くして、はんだリフローの間に、前記バンプの頂部に局部共晶形成が得られるようにする。

【0011】本発明の他の実施例は、直接チップ接着を行う方法を提供する。本発明の一実施例による拡張共晶領域を形成する潜在性を有するはんだバンプを有する半導体素子を用意する。前記半導体素子には、実装用基板上の導電トレース上に配されそれに面するはんだバンプが位置付けられる。前記はんだバンプが前記導電トレースの実質的に中央に位置するように、前記はんだバンプと導電トレースとを整合する。前記はんだバンプを前記導電トレースと物理的に接触させる。次に、はんだバンプを、ほぼ183℃から250℃の範囲の温度に加熱する。この際、前記第2錫層と前記鉛層の一部とで構成される共晶液相はんだ(eutectic liquidus solder)が、は

んだバンプ表面に形成される。前記共晶液相はんだは、前記導電トレースを濡らし、前記半導体素子を実装用基板に接合する。

【0012】これらおよびその他の特徴および利点は、添付図面に関連つけた以下の詳細な説明から明確に理解されよう。図は必ずしも原寸通りに描かれてはおらず、本発明の実施例には、ここに具体的に例示していないものもあることを指摘するのは重要なことである。

【0013】

10 【実施例】以下、添付図面を参照しながら本発明の種々の実施例について論じていく。図面中、同一のまたは実質的に同様な機能を有する構造的要素には、同一のまたは同様の参照番号を用いて表記してある。

【0014】図2は、半導体素子32の一部を示す拡大断面図であり、本発明の第1実施例において拡張共晶領域を形成する本質的潜在性を有する、付着済みの(as-deposited)はんだバンプ34を示すものである。この図は図示を容易にするため1つのはんだバンプしか描いていないが、完成された素子は素子上の接合パッドの数に対応する複数のはんだバンプを有することは理解されよう。

20 【0015】図2に示すこの第1実施例において、半導体素子は、金属線22上に配されたクローム-銅-金PLM(それぞれ層16', 36, 38)を有する。実際には、クローム層16'と銅層36との間に薄いクローム-銅フェーズ層(phase layer)(図示せず)がある。PLMまたはUBMは、当技術では公知の従来からの機器および付着技術を用いて付着させることができる。PLM層を形成した後、真空度を悪化させずに1台の蒸着装置(evaporator)ではんだバンプ34を構成する複数の層を付着する。PLMの直接上に、即ち隣接して、第1錫層40を付着する。この第1錫層40は十分に厚くして、以後の処理において良好な金属間接合(intermetallic bond)を確保することは重要である。中間金属形成の機構は、以下の説明から容易に明白となろう。本発明を実用に供するには、第1錫層40の厚さを2000ないし1200オングストローム(0.2ないし1.2ミクロン)程度の範囲で形成する。第1錫層40を付着する厚さは、機器の付着速度モニタによって、或いは蒸着機器の一部である他の適当な制御部によって制御することができる。

40 【0016】次に、鉛層42を第1錫層40の上に付着する。鉛層42の厚さは、100ないし150ミクロンの範囲である。第1錫層40との対比では比較的厚いこの鉛層42は、DCA用はんだバンプのバルク成分(bulk component)を形成する。次に、第2錫層44を鉛層42上に付着する。第2錫層44の厚さは、ほぼ2.5ないし18ミクロンの範囲である。ここに示した第2錫層44の厚さの上限は、既存の蒸着機器では実用的ではない。この第2錫層44の厚さ範囲は、所望する使用方法

によっては、蒸着機器の進歩のために、上述の範囲から変動し得ることも理解すべきである。これについては、後に詳しく述べる。しかしながら、現行の蒸着機器を用いる場合には、真空度を悪化することなく錫40-鉛42-錫44積層体を形成しつつ、第1錫層40と鉛層42との間に酸化錫が形成されないようにすることが重要である。この界面(interface)に酸化錫が形成されると、はんだバンプの信頼性および強度を劣化させる潜在性があり、応力を受けた時にその界面においてしばしばバンプが破壊される原因となる。約 1×10^{-6} mbarの真空圧が、本発明の実施には十分であることが認められている。

【0017】以上のように、本発明の第1実施例においてははんだバンプが形成された半導体素子32は、クロム16'、銅36、および金38から成るPLMと、錫40、鉛42、および錫44の別個の層から成るはんだバンプとで構成されている。本発明の付着済みはんだバンプ(as-deposited solder bump)34は、PLMに隣接して第1錫層40が存在するという点で従来技術のものとは異なっている。この第1錫層40のために、当技術で現在実施されている355℃での高温はんだバンプ均質化リフローの必要性をなくすることができる。その結果、かかる付着済みはんだバンプ構造を有する半導体素子は、以下のような低温リフロー処理を用いて、次のレベルの相互接続部に直接接着することができる。

【0018】はんだバンプ付着済み半導体素子は、183℃ないし250℃程度の範囲のリフロー温度を用いて、セラミック製チップ担体または有機PC基板のような実装用基板に接着し、基板上の典型的には銅で形成されたトレースに、直接素子を接合することができる。この接合処理を行うために、素子をトレース上の中央に整合し、はんだバンプをトレースと対向するように位置付ける。次に、リフローを行う前に、バンプをトレースと直接接触するように配置する。はんだバンプ自体が、リフロー温度で拡張共晶領域(extended eutectic region)を形成する本質的な潜在性を有するので、はんだバンプの接合パッドへの良好な金属間接合、およびはんだバンプの銅トレースへの良好なはんだ接合が確保される。チップ接着のためのリフロー処理の間、第1錫層40は、63%の錫と37%の鉛とを有する共晶はんだの融点である183℃より高い温度で、隣接する鉛層42からの鉛原子と反応し、PLMに隣接して熔融錫濃厚液相(molten tin-rich liquidus)を形成する。この環境において、金属38内の金原子は素早くPLMから拡散する。銀またはパラジウムの薄層のような、はんだを介して素早く拡散する他の金属も、これと同一の特性を有するので、金の代わりに用いることができよう。これら高速拡散金属の溶解速度は、200℃ないし250℃の温度範囲において、 $0.01 \mu\text{m}/\text{秒}$ ないし $1.0 \mu\text{m}/\text{秒}$ の範囲である。第1錫層40からの錫原子は素早くPL

Mの厚い銅層36に移動し、銅-錫中間金属物質の連続層を形成する。この銅-錫中間金属は、はんだバンプ34とPLMとの間の活性接合素子(vital bonding element)となる。形成された中間金属は、典型的に Cu_6Sn_5 および/または Cu_3Sn であり、要素の比率はほぼ1対1である。したがって、第1錫層を十分厚くして、十分な量の中間金属を銅層と共に形成し、半導体素子のはんだバンプと接合パッドとの間に良好な接着が確実に得られるようにすることが重要である。しかしながら、第1錫層が厚すぎて錫原子の数が得られる銅原子数よりも多い場合、銅全てが錫と反応して銅-錫中間金属が形成され、過剰な錫原子がはんだバンプ内に残留することになる。しかしながら、通常第1錫層よりも銅のほうが多く付着されるので、第1錫層内の錫原子が全て中間金属を形成するために用いられるため、このような自体は、実際には起こる潜在性はない。錫が過剰な場合でも、この量ははんだバンプの特性を大幅に変化させるには不十分である。

【0019】この中間金属形成方法は従来技術の方法とは異なり、それよりも優れたものである。本発明を実施する際、銅-錫中間金属の形成は、従来技術で行われる暫定的均質化リフロー工程の間ではなく、DCA処理自体の間に行われる。更に、従来技術では銅-錫中間金属の形成速度は、中間金属の形成が銅の界面において起こり得る前の、鉛層の厚さを介した錫のバンプ頂部からの拡散に依存するが、これに対して、本発明では、中間金属の形成に必要な錫原子はPLMに隣接しているので、銅-錫中間金属の形成に必要な時間は短縮される。このように、本発明によって提供される中間金属形成法は、従来技術のものよりも効率的である。

【0020】第1錫層40の存在によってDCAの間に銅-錫中間金属が形成されることに加えて、付着済みはんだバンプ34の頂部にある第2錫層44が、隣接する鉛層42からの鉛原子と反応して、バンプ34の頂部に拡張共晶液相プール(extended eutectic liquidus pool)を形成するが、主として鉛から成るはんだバンプの固まりは溶解しない。バンプ34の底部に第1錫層40があることにより、第2錫層44から厚い鉛層42を介した錫の拡散を遅らせるため、この局部共晶(localized eutectic)の形成に錫が使用することができる。したがって、半導体素子を基板上のトレースに接合するのに必要なこの頂部はんだ液相(solder liquidus)の厚さは、第2錫層44の厚さを変えることによって制御することができる。付着済みはんだバンプは、リフローが行われる時に、バンプの頂部に拡張共晶領域を形成する本質的な潜在性を有するので、選択的に共晶を設ける必要性や、有機PC基板上にトレースのめっきを行う必要性をなくすることができる。183℃ないし250℃の範囲のリフロー温度によってはんだ液相を形成することによって、有機PC基板を熱的に劣化させない温度で、バンプを直

接トレースに接合することができるようになる。共晶液相は183℃で形成されるが、183℃より高い温度では、液相内にわずかな組成のばらつきが起こることがある。しかしながら、一旦液相が形成されれば、これらわずかなパーセントのばらつきは、本発明において提案される直接チップ接着法に大きな影響を与えることはない。

【0021】第2錫相の厚さは、結果的に得られる共晶液相層の厚さを決定し、これが実装基板(mounting substrate)のトレース上に流れてそれを濡らすことになる。この方法では、十分厚い錫層を蒸着し、隣接する鉛原子と反応させて、十分厚い共晶層を形成して、意図する目的を達成することが好ましい。厚い共晶層の結果、強い永久接合が得られるが、一方共晶層を薄くすれば、接着後ダイの除去を容易に行うことができる。したがって、はんだパンプが設けられた半導体素子を実装基板に永久的に接合することを望む場合、共晶層は実用可能な限り厚くすべきである。このように意図した永久接合を図3に示す。図示のように、半導体素子32は、導電トレース48を表面に有する実装基板46に接合されている。実装基板46は、セラミック製チップ担体か、或いはエポキシ・ガラス繊維複合材である、FR-4のような有機PC基板のいずれかとすることができる。点線は、リフロー処理の間に形成された共晶はんだ領域を表わす。先に述べたように、共晶液相層は、温度が共晶はんだ(63%錫、37%鉛)の融点を越えた時に形成される。この液相はんだはトレース38を濡らし、固化して素子を基板に接合する。したがって、この液相領域を十分に厚くして、素子と実装基板との間に信頼性の高いはんだ接合を得ることが重要である。液相形成はリフローされたままのパンプ(as-reflowed bump)の頂部に位置するため、残りのパンプ形状は影響を受けず、パンプの頂部は平坦のままなので、高さの制御ができると共に、半導体ダイ24と実装基板46との間の良好な界面接触を得ることができる。本発明を実施する際、このギャップをポリマー材料で充填し最終素子の信頼性を高めるようにすることも可能である。

【0022】しかしながら、マルチチップ・モジュールのような他の用途に、公知の良好なダイ(known good die)を提供するために、はんだパンプを設けた素子の検査および/または焼き入れ(burn-in)が望まれる場合、共晶相をできるだけ薄くして、はんだパンプ自体を損傷することなく、検査用基板からパンプを設けた素子を容易に除去できるようにする。このような応用例を図4に示す。ここでは、半導体素子32'は検査基板51上の検査用トレースに電気的に接続されている。破線は、半導体素子を実装基板上の検査用トレース52に物理的に接合するために必要な共晶領域50'の最少の厚さを表わす。検査用トレース52上の濡れ性領域(wettable area)がパンプ頂部の領域の約10%ないし20%に制限さ

れる場合、はんだパンプと検査用トレースとの間に「タック」接合部(tack joint)を形成する。検査基板(substrate or board)は、熱的および電氣的応力の下でのダイの電氣的性能を評価するために特別に設計されるものである。検査および焼き入れの終了後、はんだパンプに重大な損傷を与えることなく、公知の良好なダイ32'を、検査基板から物理的に除去することができる。かかる除去は、タック接合部に剪断または伸張応力を加えることによって、或いは化学的エッチングまたはその他の適切な方法によって行うことができる。次に、公知の良好なダイを次のレベルの相互接続部に再度接着する。あるいは、公知の良好なダイにリフロー処理を施し、パンプ内に未だに残っている錫と鉛とを均質化してもよい。これによって、セラミックまたは高温実装基板に直接接着することができる。

【0023】リフローの間に拡張共晶領域を形成する付着済みはんだパンプの本質的な潜在性のために、支持用有機PC基板(board substrate)上に特別な共晶接合パッドを設ける必要性がなくなる。また、拡張共晶領域によって、はんだパンプを実装基板上のトレースに首尾良くしかも信頼性高く接着することができる。こうして、トレース間のピッチを最少にまで狭めることができるので、PC基板上に大幅な空間の節約を実現することができる。更に、本発明を実施することによって、高価な選択的共晶めっき処理およびそれに伴うコストも、完全に回避することができる。

【0024】図5は、本発明の第2実施例における、付着済みはんだパンプ34'を有する半導体素子32'の一部を拡大断面図で示す。この第2実施例は、図2に示した第1実施例と実質的に同様であるが、第2錫層44上に第2鉛層54が付加されている。第2鉛層54は、蒸着器内で真空を破壊しないように、第2錫層44に対して鉛と錫をほぼ4:6の割合で付着する。したがって、第2鉛層54は、第2錫層44よりも多少薄い。この第2実施例は、錫がバルク鉛層42へ移動するのではなく、その代わりに第2鉛層54を介して実装基板上のトレースに向かって移動する点において、第1実施例とは異なる錫原子の拡散経路を設けたものである。この錫40-鉛42-錫44-鉛54の4層からなる積層体は、リフロー温度が183℃以上の時、DCA処理中に、リフローされたままのパンプの頂部に、共晶液層線はんだをより速く形成することができるので、DCA接着処理の間、トレースを有機基板上に素早く接合することができる。したがって、基板上の敏感な素子を高温に晒すことが制限される。

【0025】図示しない他の実施例では、更に鉛層を第1錫層40とPLMとの間に介在させて、鉛-錫-鉛-錫から成る付着済みはんだパンプを形成する。この積層体の底部に加える鉛層は、鉛対錫を約4対6の割合とし、183℃以上の温度で、パンプがPLMにより素早

く接合できるようにする構造を形成する。この構造では、第1錫層40からの錫原子は、付加鉛層を介してPLM構造に向かって拡散し、処理中に共晶を形成する。或いは、第3鉛層を本実施例に付加し、鉛-錫-鉛-錫-鉛から成る5層の積層体を形成してもよい。共晶はんだの融点以上の温度で、錫は最も近い鉛層を介して実装基板上の導電トレースおよびPLMの双方に向かって拡散するので、界面が反応し効果的な接合部を形成する時間を最適化する。

【0026】図6は、本発明の更に別の実施例における半導体素子60の一部を示す拡大断面図である。この実施例は、図2に示した第1実施例と実質的に同様である。しかしながら、この実施例では、PLMがチタン層またはチタン-タングステン層62で構成されている。チタンは窒化物や酸化物にはよく接着するが、ポリイミッドとの接着性はよくないので、ポリイミッドを表わすパシベーション層30'に凹部を設けてPLMとの接着を避ける。第2金属層36は、銅でもニッケルでもよいが、第3金属層38は、第2金属層を酸化から防止するために、典型的に金またははんだ内のその他の薄膜高速拡散金属(thin film fast metal diffusers)である。実際には、チタンまたはチタン-タングステン層62と第2金属層36との間には、薄いチタン-銅またはチタン-ニッケル-フェーズ層(図示せず)がある。付着済みはんだバンプ34'は、先に論じたように、錫-鉛-錫積層体で構成されている。具体的に図示しないが、第二錫層44'上に第2鉛層を付加したり、第1錫層40'と金属層38との間に鉛層を介在させたり、先に論じたような他の錫-鉛積層結合体を加えることも可能である。

【0027】任意の工程において、前述の付着済みはんだバンプ構造のいずれかにしたがって、予備的なリフロー工程を所定時間量の間低温で行い、有機PC基板に接着する前に、各々のそして全てのはんだバンプ上に拡張共晶領域を予め規定することもできる。この予備のリフロー工程の温度範囲は183℃ないし225℃の間であり、約2ないし6分の時間で十分である。この予備のリフローは、個々の半導体素子に行っても、またはウエハ全体に行ってもよい。直接チップ接着は、後に行うことができる。

【0028】本明細書に含まれるこれまでの説明および例示は、本発明に伴う多くの利点を明らかにするものである。特に、拡張共晶領域を形成するための本質的な潜在性を有する半導体素子のはんだバンプを形成し、直接チップ接着処理を簡素化すると共に、公知の良好なダイに用いるために半導体素子を検査する手段を提供する。リフローの間に拡張共晶領域を形成する付着済みはんだバンプの本質的な潜在性によって、支持用有機PC基板上に特別な共晶接合パッドを設ける必要性もなくなる。また、拡張共晶領域によって、はんだバンプを実装基板上のトレースに首尾良くしかも信頼性高く接着すること

ができる。更に、トレースの特殊で選択的な共晶メッキを除去することにより、用いられるトレース間のピッチを更に狭くすることができるので、半導体素子がパッドによる制限を受けなくて済む。更に、制御が難しくしかも高価なPC基板の選択的共晶メッキの処理工程がもはや必要ではなくなる。更に別の利点は、360℃での高温均質化リフロー工程も回避することができる。付着済みはんだバンプの頂部が平坦なため、実装基板上のトレースに対して良好な接触界面を得ることができる。したがって、この特定の付着済みはんだバンプ構造を有する半導体素子は、セラミック・チップ担体または有機PC基板のいずれに実装するのにも、非常に適している。このようにDCAを低温で行うことにより、有機PC基板に熱による劣化を起こすことなく、素子をセラミックまたはPC基板のいずれにも接着することができる。

【0029】以上の説明から、本発明によって、先に説明した要求および利点を完全に満足する、付着済みはんだバンプ構造を有する半導体素子、およびその製造および使用方法が提供されたことは明白である。本発明を具体的な実施例を参照して説明しかつ図示したが、本発明がこれら図示した実施例に限定されることは意図していない。本発明の精神から逸脱することなく、変更や改造が可能であることを、当業者は認めよう。例えば、本発明は、決してセラミック・チップ担体または有機PC基板のみに対する直接チップ接着には限定される訳ではない。裸ダイ(bare die)用の他の実装基板にも適している。加えて、本発明は、半導体チップを適切な担体に接合することに限定される訳ではなく、抵抗、コンデンサ、インダクタ、接続器等、他の回路素子を高温または低温実装基板のいずれかに接着するために用いることもできる。また、本発明は均質化された高温(2%~10%の錫)バンプを形成する選択肢も可能である。しかしながら、多くの用途ではこの工程を除去する方が有利である。この柔軟性は、同一の付着用工具を用いて、低温直接チップ接着用、或は高温セラミック接合用のいずれにも同等のバンプを作成可能であることを意味する。更に、DCAを行う際に本発明を実施するためには、183℃ないし250℃のリフロー温度範囲が好適であると述べたが、本発明による付着済みはんだバンプ(as-deposited solder bumped device)を有する素子については、実装基板の熱容量によっては、より高温で直接リフローを行ってもよい。したがって、本発明は、特許請求の範囲に該当するかかる改造および変更全てを包含することを意図するものである。

【図面の簡単な説明】

【図1】当技術で公知の半導体素子上のフリップ・チップはんだバンプの拡大断面図。

【図2】本発明の第1実施例による拡張共晶領域を形成する本質的な潜在性を有するはんだバンプの拡大断面図。

【図3】基板上に取り付けられた、本発明によるはんだ

13

14

パンプを有する半導体素子を示す断面図。

【図4】検査の目的のために検査用基板に一時的に実装された、本発明によるはんだパンプを有する半導体素子の断面図。

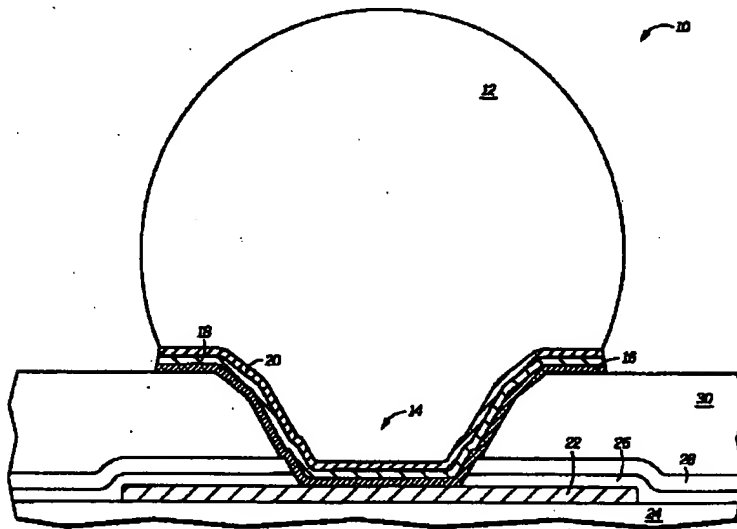
【図5】本発明の第2実施例による拡張共晶領域を形成する本質的潜在性を有する別のはんだパンプの拡大断面図。

【図6】本発明の第3実施例による拡張共晶領域を形成する本質的潜在性を有する更に別のはんだパンプの拡大断面図。

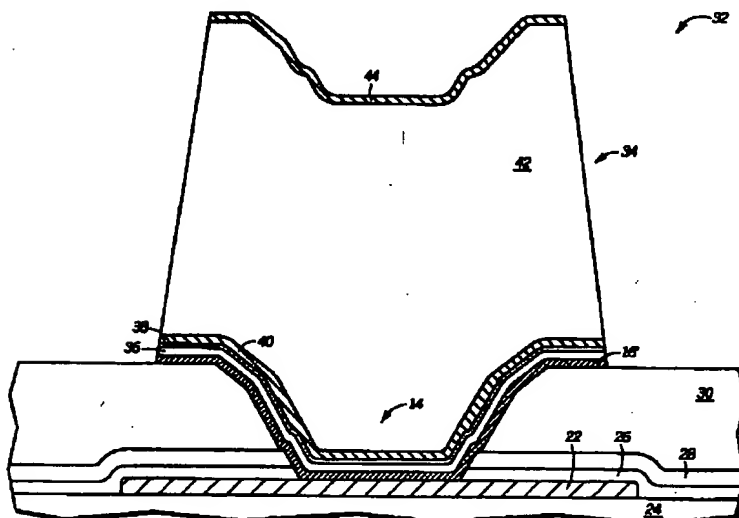
【符号の説明】

- 32 半導体素子
- 22 接合パッド
- 34 はんだパンプ
- 16' 第1金属層
- 36 第2金属層
- 40 第1錫層
- 42 鉛層
- 44 第2錫層
- 54 第2鉛層
- 10 48 導電トレース
- 50 共晶液層線はんだ

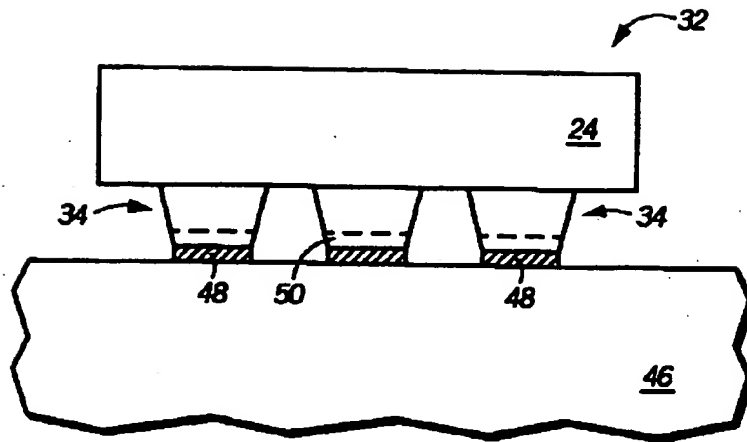
【図1】



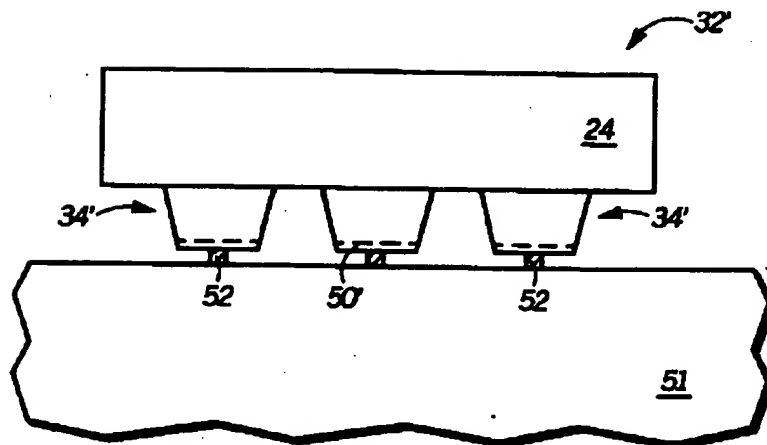
【図2】



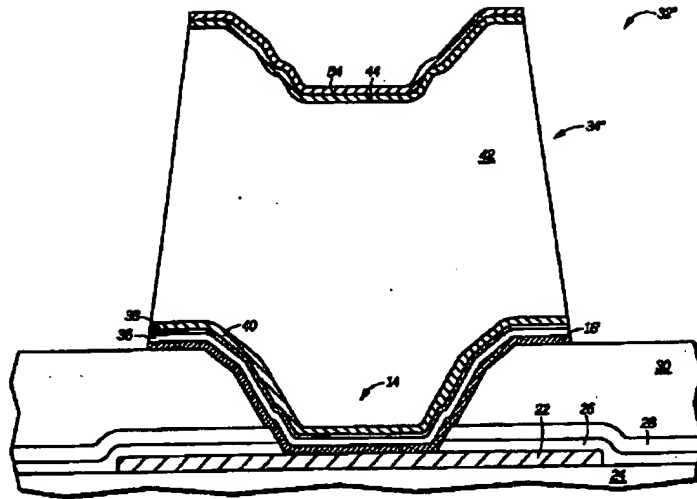
【図3】



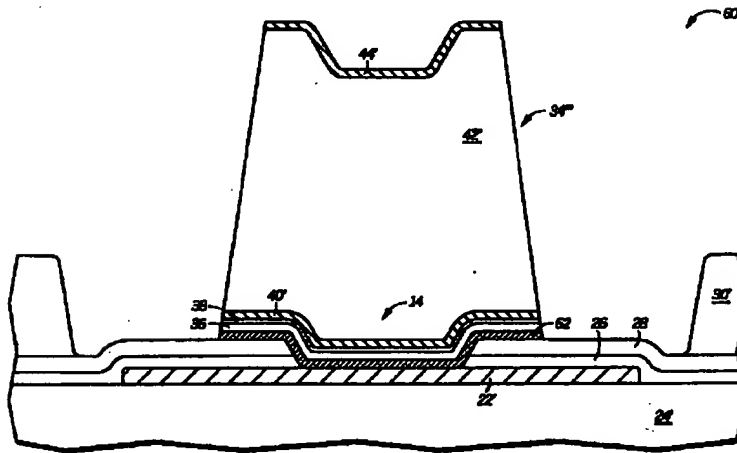
【図4】



【図5】



【図6】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年4月6日(2001.4.6)

【公開番号】特開平7-302797

【公開日】平成7年11月14日(1995.11.14)

【年通号数】公開特許公報7-3028

【出願番号】特願平7-119056

【国際特許分類第7版】

H01L 21/321

21/60 311

【FI】

H01L 21/92 602 E

21/60 311 S

21/92 603 B

【手続補正書】

【提出日】平成12年3月30日(2000.3.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】接合パッド(22)を有する半導体素子(32)であって、当該半導体素子(32)は：

前記接合パッド(22)上に配された第1金属層(16')；

前記第1金属層(16')上に配された第2金属層(36)；および

はんだバンプ(34)を備え、前記はんだバンプ(34)は：

前記第2金属層(36)上に配された第1錫層(40)であって、前記第1錫層(40)および前記第2金属層(36)により中間金属が形成されるように前記第2金属層と相溶性があるところの前記第1錫層；

前記第1錫層(40)上に配され、前記第1錫層(40)よりも厚い鉛層(42)；および

前記鉛層(42)上に配された第2錫層(44)であって、前記第2錫層(42)は前記鉛層(42)よりも薄く、はんだリフローの間に前記バンプの上面に局部的に共晶が形成されるところの前記第2錫層(44)；

より成り、前記第1金属層は、前記はんだバンプを前記半導体素子に接着させることを特徴とする半導体素子。

【請求項2】半導体素子(32)の接合パッド上にはんだバンプ(34)を作成する方法であって：

前記はんだバンプの前記半導体素子への接着を行うために、前記接合パッド上に第1金属層(16')を設けるステップ；

前記第1金属層(16')上に第2金属層(36)を設けるステップ；

真空環境において前記第2金属層(36)上に第1錫層(40)を形成するステップであって、前記第2金属層と前記第1錫層との中間金属が形成されるように、前記第1錫層(40)と前記第2金属層(36)が互いに溶解可能であるところのステップ；

真空環境を悪化させずに、前記第1錫層(40)上に鉛層(42)を形成し、該鉛層(42)は前記第1錫層(40)よりも厚く形成されるところのステップ；および

真空環境を悪化させずに、前記鉛層(42)上に第2錫層(44)を形成し、該第2錫層(44)は前記鉛層(42)より薄く、はんだリフローの間に、前記バンプの上部に局部的に共晶が形成されるところのステップ；より成ることを特徴とする方法。

【請求項3】半導体素子(32)の接合パッド(22)上にはんだバンプ(34)を形成する方法であって：前記はんだバンプの前記半導体素子への接着を行うために、前記接合パッド上に第1金属層(16')を設けるステップ；

前記第1金属層(16')上に第2金属層(36)を設けるステップ；

真空環境において前記第2金属層(36)上に第1錫層(40)を形成するステップであって、前記第2金属層および前記第1錫層により中間金属が形成されるように、前記第1錫層(40)と前記第2金属層(36)が互いに溶解可能であるところのステップ；

真空環境を悪化させずに、前記第1錫層(40)上に鉛層(42)を形成し、該鉛層(42)は前記第1錫層(40)よりも厚く形成されるところのステップ；

真空環境を悪化させずに、前記鉛層(42)上に第2錫層(44)を形成し、該第2錫層(44)は前記鉛層

(42)より薄く、はんだリフローの間に前記バンプの上部に局部的に共晶が形成されるところのステップ;および

前記はんだバンプの表面上に予め定められた共晶液状領域を形成するために、前記はんだバンプを所定の期間の間約180℃ないし225℃の範囲内の温度環境にさらすステップ;

より成ることを特徴とする方法。

【請求項4】半導体素子を実装基板に結合する方法であって:

接合パッド(22)上に配され、以後の金属層を前記半導体素子に接着する第1金属層(16')と、前記第1金属層(16')上に配された第2金属層(36)と、はんだバンプ(34)とを有する半導体素子(32)を用意するステップであって、前記はんだバンプは、前記第2金属層(36)上に配された第1錫層(40)と、前記第1錫層(40)上に配され前記第1錫層(40)よりも厚い鉛層(42)と、前記鉛層(42)上に配された第2錫層(44)より成り、前記第1錫層(40)および前記第2金属層(36)により中間金属が形成さ

れるように前記第1錫層および前記第2金属層が相互に溶融可能であり、前記第2錫層(44)は前記鉛層(42)より薄く、はんだリフローの間に前記バンプ(34)の上面に局部的に共晶が形成されるところの前記半導体素子を用意するステップ;

前記はんだバンプ(34)を有する前記半導体素子を、実装基板(46)上の導電トレース(48)上に対向するように位置付けるステップ;

前記はんだバンプ(34)と前記導電トレース(48)とを整合させ、前記はんだバンプが実質的に前記導電トレースの中央に位置付けられるところのステップ;

前記はんだバンプを前記導電トレースと物理的に接触させるステップ;および

前記はんだバンプをほぼ183℃ないし250℃の範囲内の温度で加熱し、前記はんだバンプ表面に、前記第2錫層と前記鉛層の一部より成る共晶液状はんだ(50)を形成するステップ;

より成り、前記共晶液状はんだが前記導電トレースを濡らし、前記半導体素子が前記実装基板に結合されることを特徴とする方法。